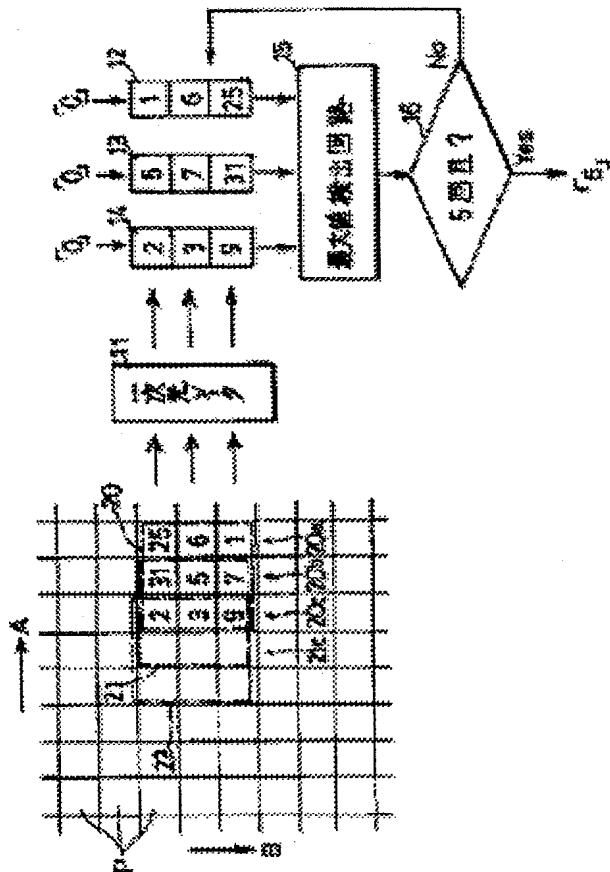


TWO-DIMENSIONAL SEQUENCE FILTER CIRCUIT**Publication number:** JP5128253**Publication date:** 1993-05-25**Inventor:** YONEDA HIDEKI**Applicant:** KAWASAKI STEEL CO**Classification:****- International:** H04N5/14; G06F7/02; G06F7/24; G06T5/20; H04N5/14; G06F7/02; G06F7/22; G06T5/20; (IPC1-7): G06F15/68; H04N5/14**- European:****Application number:** JP19910286075 19911031**Priority number(s):** JP19910286075 19911031**Report a data error here****Abstract of JP5128253**

PURPOSE: To exactly extract desired picture data by a small scale circuit constitution by arranging the picture data in each partial area in the order of a picture value by a one-dimensional sorter circuit, and comparing the maximum values or the minimum values in the plural partial areas by a prescribed number of times.

CONSTITUTION: The picture data having a central value are selected from an area 20 constituted of total 9 picture elements of three picture elements in the direction and three picture elements in the column direction. The three picture data are arranged in the order of the picture value by a one dimensional sorter circuit 11, and latched by a latch circuit. The maximum values of the picture data latched by the three latch circuits 12, 13, and 14 are detected by a maximum value detecting circuit 15. Then, while the maximum values are counted by a counter 16, they are pushed out only by the necessary number of times by a shift circuit. Therefore, for example, the desired data such as the some number-th data from the maximum value can be exactly detected.



Partial English Translation of Japanese Patent Laying-Open No. 05-128253

...omitted...

[0018]

Subsequently, the maximum values of latch circuits 12, 13, and 14, that is, "9", "7", and "25" at present, are compared by the maximum value detection circuit 15, and the maximum value "25" is detected. Then, as shown in Fig. 2(b), data latched by latch circuit 12 is moved, and counter 16 is counted up to "2". The above operation is repeated, and the pixel data "6" pushed out when counter 16 reaches "5" serves as a central value corresponding to region 20.

...omitted...

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-128253

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl.⁵

G 0 6 F 15/68
H 0 4 N 5/14

識別記号 400 J 8420-5L
F I

技術表示箇所

(21)出願番号

特願平3-286075

(22)出願日

平成3年(1991)10月31日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 米田 秀樹

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

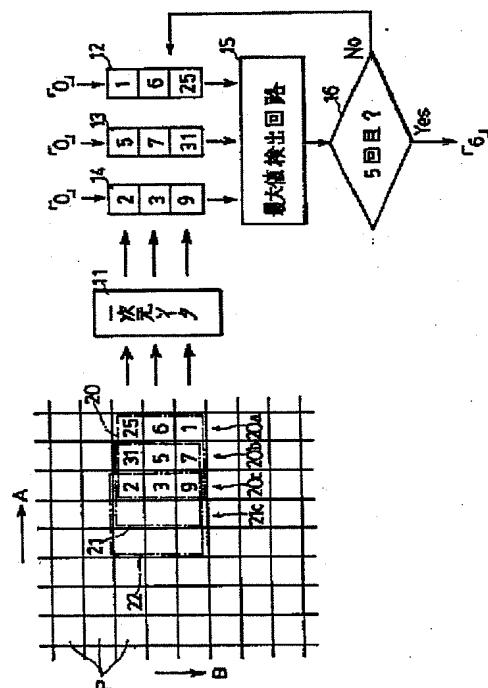
(74)代理人 弁理士 小杉 佳男 (外1名)

(54)【発明の名称】 2次元順序フィルタ回路

(57)【要約】

【目的】 本発明は、行方向および列方向にそれぞれ多数並ぶ多数の画素から構成される2次元画像上の、行方向、列方向にそれぞれ複数個並ぶ画素から構成される領域内の各画素にそれぞれ対応する各画素データを画素値順に並べた際に最大値側もしくは最小値側から所定の順位にある画素データを選択する操作を、上記領域を順次移動しながら2次元画像上の全域に亘って行なう2次元順序フィルタ回路に関し、小さな回路規模で実現されるとともに所望とするデータを正しく検出することのできる2次元順序フィルタ回路を提供する。

【構成】 1次元ソータ回路により各画素データを画素値順に並べ換えてラッチしておき、最大値検出回路ないし最小値検出回路により最大値ないし最小値を検出してその最大値ないし最小値を、カウンタでカウントしながらシフト回路により必要回数だけ押し出す。



I

【特許請求の範囲】

【請求項1】 行方向および列方向にそれぞれ多数並ぶ多数の画素から構成される2次元画像上の、行方向にN 1個、列方向にN 2個並ぶN 1×N 2個の画素から構成される領域内の各画素にそれぞれ対応する各画素データを画素値順に最大値側から並べた際に該最大値から所定の順位にある画素データを選択する操作を、前記領域を順次移動しながら前記2次元画像上の全域に亘って行なう2次元順序フィルタ回路において、
 前記領域内の、行方向に1個、列方向にN 2個並ぶN 2個の画素からなる部分領域内の各画素に対応する各画素データを画素値順に並べ換える操作を該各部分領域毎に順次行なう1次元ソータ回路と、
 該1次元ソータ回路により画素値順に並べられた前記各部分領域に対応するN 2個の画素データを画素値順に記憶しておく、前記各部分領域毎に備えられたN 1個のラッチ回路と、
 該N 1個のラッチ回路に記憶された画素データの、該各ラッチ回路毎の最大値どおしを比較してこれらN 1個の最大値中の最大値を検出する最大値検出回路と、
 該最大値検出回路で検出された最大値を有する画素データが記憶されたラッチ回路に記憶されているN 2個の画素データを、大きな画素値を有する画素データ側に1つずつシフトして該ラッチ回路に記憶された画素データ中の最小値を有する画素データの後段に画素データ中の最小値を有するデータもしくは画素データと区別される値を有するデータを記憶させる、前記N 1個のラッチ回路のそれぞれに付随して備えられたN 1個のシフト回路と、
 前記最大値検出回路において最大値を検出し前記シフト回路において画素データをシフトするルーチンの回数をカウントするカウンタとを備えたことを特徴とする2次元順序フィルタ回路。

【請求項2】 行方向および列方向にそれぞれ多数並ぶ多数の画素から構成される2次元画像上の、行方向にN 1個、列方向にN 2個並ぶN 1×N 2個の画素から構成される領域内の各画素にそれぞれ対応する各画素データを画素値順に最小値側から並べた際に該最小値から所定の順位にある画素データを選択する操作を、前記領域を順次移動しながら前記2次元画像上の全域に亘って行なう2次元順序フィルタ回路において、
 前記領域内の、行方向に1個、列方向にN 2個並ぶN 2個の画素からなる部分領域内の各画素に対応する各画素データを画素値順に並べ換える操作を該各部分領域毎に順次行なう1次元ソータ回路と、
 該1次元ソータ回路により画素値順に並べられた前記各部分領域に対応するN 2個の画素データを画素値順に記憶しておく、前記各部分領域毎に備えられたN 1個のラッチ回路と、
 該N 1個のラッチ回路に記憶された画素データの、該各

ラッチ回路毎の最小値どおしを比較してこれらN 1個の最小値中の最小値を検出する最小値検出回路と、該最小値検出回路で検出された最小値を有する画素データが記憶されたラッチ回路に記憶されているN 2個の画素データを、小さな画素値を有する画素データ側に1つずつシフトして該ラッチ回路に記憶された画素データ中の最大値を有する画素データの後段に画素データ中の最大値を有するデータもしくは画素データと区別される値を有するデータを記憶させる、前記N 1個のラッチ回路のそれぞれに付随して備えられたN 1個のシフト回路と、

前記最小値検出回路において最小値を検出し前記シフト回路において画素データをシフトするルーチンの回数をカウントするカウンタとを備えたことを特徴とする2次元順序フィルタ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、行方向および列方向にそれぞれ多数並ぶ多数の画素から構成される2次元画像上の、行方向、列方向にそれぞれ複数個並ぶ画素から構成される領域内の各画素にそれぞれ対応する各画素データを画素値順に並べた際に最大値側もしくは最小値側から所定の順位にある画素データを選択する操作を、上記領域を順次移動しながら前記2次元画像上の全域に亘って行なう2次元順序フィルタ回路に関する。

【0002】

【従来の技術】 例えば2次元画像上の所定領域内の複数の画素データの中から中央値を有する画素データをピックアップするいわゆるメジアンフィルタ等、2次元画像上の所定領域内の画素データを画素値に並べることを要する2次元順序フィルタが画像処理の分野で多用されており、ハードウェア化に適した2次元順序フィルタを実現するアルゴリズムも種々提案されている。

【0003】 図3は、2次元順序フィルタを実現するアルゴリズムの一例である、いわゆるオッド・イーブン・ソート(Odd-Even-Sort)の説明図である(「Design and Implementation of a General-Purpose Median Filter Unit in CMOS VLSI」 MUSTAFA KARAMAN, LEVENT ONURAL, ABDULLAH ATALAR, JOURNAL OF SOLID-STATE CIRCUITS, VOL. 25, NO. 2, APRIL 1990, P505~P513 参照)。ここでは9個のデータをその値順に並べる場合について説明する。

【0004】 図に示す多数の各ブロック10は、それに入力された2つのデータの値を比較し、値の大きなデータを左側の出力端子から出力し値の小さなデータを右側の出力端子から出力する、例えばコンパレータとマルチプレクサとの組合せからなる回路ブロックである。例えばこのアルゴリズムを採用して最大値側から5番目のデータを選択すればメジアルフィルタが実現される。

50 【0005】

【発明が解決しようとする課題】しかし、上記のアルゴリズムを用いた2次元順序フィルタをハードウェア化すると、9つのデータをその値順に並べ換えるために図3に示す各ブロック10に相当する回路を36個も備える必要があり、回路規模が大きくなってしまうという問題がある。

【0006】回路規模の小さなメジアンフィルタを実現するアルゴリズムとして以下のものが知られている（特開平1-116887号公報 参照）。図4は、このメジアンフィルタを実現するアルゴリズムの説明図である。この図において、図に示す各升目が各画素に対応し、その中に記された数字がその画素の画素データの画素値であるとする。

【0007】図4(a)に示す縦横に3画素ずつ合計9画素を図4(b)に示すように各列毎に分け、各列内の各3つの画素データのうちの各中央値(図3(b)に丸印を付した数字)を検出する。次にこのようにして検出された3つの中央値のうちからさらに中央値を検出する。この場合、各列内の3つの画素データのうちの各中央値を検出するために各2つのコンパレータが必要とし、3つの中央値のうちからさらに中央値を検出するために2つのコンパレータが必要とし、したがって合計8個のコンパレータを備えるだけで9つの画素データの中央値を検出することができる。

【0008】但し、このアルゴリズムでは正しい中央値を検出することができない場合があり、例えばこの図4に示した例では、真の中央値は「5」であるにも拘らず「4」が検出されてしまう結果となる。本発明は、上記事情に鑑み、小さな回路規模で実現されるとともに所望とするデータを正しく検出することのできる2次元順序フィルタ回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するための本発明の第1の2次元順序フィルタ回路は、行方向および列方向にそれぞれ多数並ぶ多数の画素から構成される2次元画像上の、行方向にN1個、列方向にN2個並ぶN1×N2個の画素から構成される領域内の各画素にそれぞれ対応する各画素データを画素値順に最大値側から並べた際に該最大値から所定の順位にある画素データを選択する操作を、上記領域を順次移動しながら2次元画像上の全域に亘って行なう2次元順序フィルタ回路において、

(1) 上記領域内の、行方向に1個、列方向にN2個並ぶN2個の画素からなる部分領域内の各画素に対応する各画素データを画素値順に並べ換える操作を該各部分領域毎に順次行なう1次元ソータ回路

(2) 該1次元ソータ回路により画素値順に並べられた上記各部分領域に対応するN2個の画素データを画素値順に記憶しておく、上記各部分領域毎に備えられたN1個のラッチ回路

(3) 該N1個のラッチ回路に記憶された画素データの、該各ラッチ回路毎の最大値どおりを比較してこれらN1個の最大値中の最大値を検出する最大値検出回路

(4) 該最大値検出回路で検出された最大値を有する画素データが記憶されたラッチ回路に記憶されているN2個の画素データを、大きな画素値を有する画素データ側に1つずつシフトして該ラッチ回路に記憶された画素データ中の最小値を有する画素データの後段に画素データ中の最小値を有するデータあるいは画素データと区別される値を有するデータを記憶させる、上記N1個のラッチ回路のそれに付随して備えられたN1個のシフト回路

(5) 上記最大値検出回路において最大値を検出し上記シフト回路において画素データをシフトするルーチンの回数をカウントするカウンタの各要素を備えたことを特徴とするものである。

【0010】また本発明の第2の2次元順序フィルタ回路は、行方向および列方向にそれぞれ多数並ぶ多数の画素から構成される2次元画像上の、行方向にN1個、列方向にN2個並ぶN1×N2個の画素から構成される領域内の各画素にそれぞれ対応する各画素データを画素値順に最小値側から並べた際に該最小値から所定の順位にある画素データを選択する操作を、上記領域を順次移動しながら2次元画像上の全域に亘って行なう2次元順序フィルタ回路において、

(6) 上記領域内の、行方向に1個、列方向にN2個並ぶN2個の画素からなる部分領域内の各画素に対応する各画素データを画素値順に並べ換える操作を該各部分領域毎に順次行なう1次元ソータ回路

(7) 該1次元ソータ回路により画素値順に並べられた上記各部分領域に対応するN2個の画素データを画素値順に記憶しておく、上記各部分領域毎に備えられたN1個のラッチ回路

(8) 該N1個のラッチ回路に記憶された画素データの、該各ラッチ回路毎の最小値どおりを比較してこれらN1個の最小値中の最小値を検出する最小値検出回路

(9) 該最小値検出回路で検出された最小値を有する画素データが記憶されたラッチ回路に記憶されているN2個の画素データを、小さな画素値を有する画素データ側に1つずつシフトして該ラッチ回路に記憶された画素データ中の最大値を有する画素データの後段に画素データ中の最大値を有するデータあるいは画素データと区別される値を有するデータを記憶させる、上記N1個のラッチ回路のそれに付随して備えられたN1個のシフト回路

(10) 上記最小値検出回路において最小値を検出し上記シフト回路において画素データをシフトするルーチンの回数をカウントするカウンタの各要素を備えたことを特徴とするものである。

50 【0011】ここで上記「行方向」および「列方向」

は、画像を単にどのように配置するかというだけの問題であり、したがっていずれの方向を行方向もしくは列方向とみなしてもよいことはもちろんである。また、上記シフト回路はラッチ回路に記憶されたデータを物理的、電気的にシフトする回路である必要はなく、例えばメモリ回路のリードポインタ、ライトポインタを指示する回路等であってもよい。また、ラッチ回路に記憶されたデータがシフト回路により現実にシフトされ、このシフトにより最初のデータが失なわれるよう構成する場合は、1次元ソータ回路から出力された、ラッチ回路に最初に記憶される画素データを保存しておくことが好ましい。

【0012】

【作用】本発明の2次元順序フィルタは、上記1次元ソータ回路（上記（1），（6））により各画素データを画素値順に並べ換えてラッチ（上記（2），（7））しておき、最大値検出回路（上記（3））ないし最小値検出回路（上記（7））により最大値ないし最小値を検出してその最大値ないし最小値をカウンタ（上記（5），（10））でカウントしながらシフト回路（上記（4），（9））により必要回数だけ押し出すように構成したものであるため、小さな回路規模で、例えば中央値、最大値から3番目のデータ等所望とするデータを正しく検出することができる。

【0013】ちなみに、前述した従来例と同様にN1=3, N2=3, 即ち9画素中から中央値（最大値もしくは最小値から5番目の値を有する画素データ）を抽出する場合を例にとると、2つのデータの大小を判定する回数は、1次元コンパレータで2回、最大値検出回路ないし最小値検出回路で2回×5回、合計12回の比較で済み、図3に示すオッド・イーブン・ソートの36回と比べ1/3で済むこととなる。また、図4を用いて説明したアルゴリズムと比べ、正確な中央値を求めることができることとなる。

【0014】

【実施例】以下、本発明の実施例について説明する。図1は、本発明の第1の2次元順序フィルタ回路の一実施例である、 $3 \times 3 = 9$ 画素の中から中央値を選び出すように構成された回路のアルゴリズムを示した図、図2は、図1におけるデータの移動を表わした模式図である。

【0015】行方向Aおよび列方向Bにそれぞれ多数並ぶ多数の画素Pから構成される2次元画像上に、行方向に3個、列方向にも3個並ぶ合計9個の画素からなる領域20に、図に示すような画素値を有する画素データが対応しているものとする。ここではこれら9個の画素データの中から中央値を有する画素データが選び出される。

【0016】前々回に1次元ソータ11に入力され、行方向に1つ、列方向に3つ並ぶ、「25」、「6」、

「1」の各画素値を有する3つの画素からなる部分領域20aの画素データが、これらの画素データの画素値の大小が判定され、ラッチ回路12に図の下側から順に最大値「25」、中央値「6」、最小値「1」がラッチされている。また同様にして前回に1次元ソータ11に入力された、その次の「31」、「5」、「7」の各画素値を有する3つの画素からなる部分領域20bの画素データがラッチ回路13にラッチされている。

【0017】その状態において、今回は、やはり同様にして「2」、「3」、「9」の各画素値を有する3つの画素からなる部分領域20cのデータが1次元ソータに入力されその大小が判定されてラッチ回路14にラッチされる。このようにしてラッチ回路12, 13, 14に各部分領域20a, 20b, 20cの画素データがラッチされると、各ラッチ回路12, 13, 14の各最大値「9」、「31」、「25」の大小が比較判定される。ここではラッチ回路13にラッチされていた「31」が最大であるため、図2(a)に示すようにラッチ回路13から画素値31を有する画素データが押し出され、ラッチ回路13の図2(a)の最上部に、この2次元順序フィルタ回路で取り扱われる数値の最小値である「0」がラッチされる。この最大値検出回路15による最大値の検出、およびラッチ回路13によるデータの移動が行なわれたことにより、カウンタ16が1だけカウントアップされる。

【0018】次に最大値検出回路15により、各ラッチ回路12, 13, 14の最大値どおり、即ち今度は「9」、「7」、「25」が比較されて、そのうちの最大値「25」が検出され、図2(b)に示すように今度はラッチ回路12にラッチされたデータが移動され、カウンタ16がカウントアップされて2となる。以上の動作を繰り返しカウンタ16が5となった時に押し出された画素データ「6」がこの領域20に対応する中央値となる。

【0019】次に領域21の中央値の検出を行なうために、部分領域21cの3つの画素データが1次元ソータ11に入力される。例えば部分領域20cが3つの領域20, 21, 22に属するように、各部分領域はそれぞれ3つの領域に属し、したがって1次元ソータ11を経由したデータは、上記のデータ移動により消去されないように保存してさえおけば3領域の中央値の検出に用いることができる。したがって1つの領域内の中央値を検出するための2つのデータの比較回数は、1次元ソータで2回、最大値検出回路15で2回×繰り返し数5回の合計12回で済み、しかも中央値を正確に検出することができる。

【0020】尚、上記実施例は、本発明の第1の2次元順序フィルタ回路の一実施例であるが、3つのラッチ回路12, 13, 14に、図の下側に値の小さい画素データが配列されるようにラッチし、最大値検出回路15に

代えて最小値検出回路を備え、各ラッチ回路12, 13, 14の、図の上方から入力する値‘0’に代えてこの2次元順序フィルタ回路で取り扱うことのできる最大の値等を入力するように構成することにより、本発明の第2の2次元順序フィルタ回路の一実施例が構成される。この実施例における動作は上記とほぼ同様に説明されるため、ここではその図示および説明は省略する。

【0021】また、上記実施例は行方向、列方向にそれぞれ3画素ずつ並ぶ合計9画素からなる領域内の中央値を検出する回路であるが、本発明は行方向に任意の数N 1個、列方向にも任意の数N 2個並ぶ $N_1 \times N_2$ 画素の領域内の、最大値もしくは最小値から任意の順位にある画素データを検出する場合に採用することができるものである。

【0022】

【発明の効果】以上説明したように、本発明の2次元順序フィルタ回路は、1次元ソータ回路により各部分領域内の画素データをその画素値順に並べ、複数の部分領域内の最大値どおしもしくは最小値どおしを所定回数に亘

って比較するように構成したものであるため、小規模の回路構成で、しかも所望とする画素データを正確に抽出することができる。

【図面の簡単な説明】

【図1】本発明の第1の2次元順序フィルタ回路の一実施例である。

【図2】図1におけるデータの移動を表わした模式図である。

【図3】2次元順序フィルタを実現するアルゴリズムの一例である、いわゆるオッド・イーブン・ソートの説明図である。

【図4】従来のメジアンフィルタを実現するアルゴリズムの説明図である。

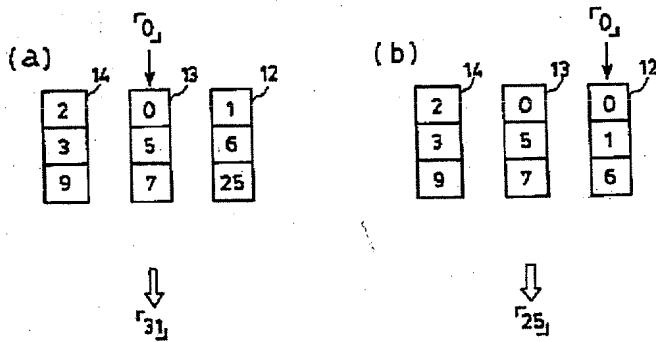
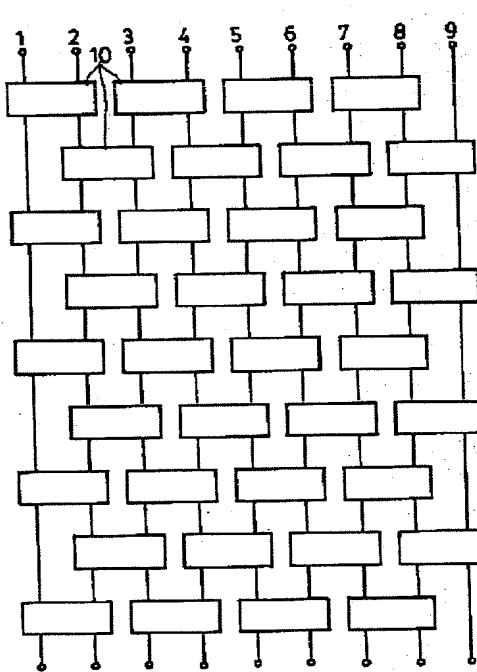
【符号の説明】

11 1次元ソータ

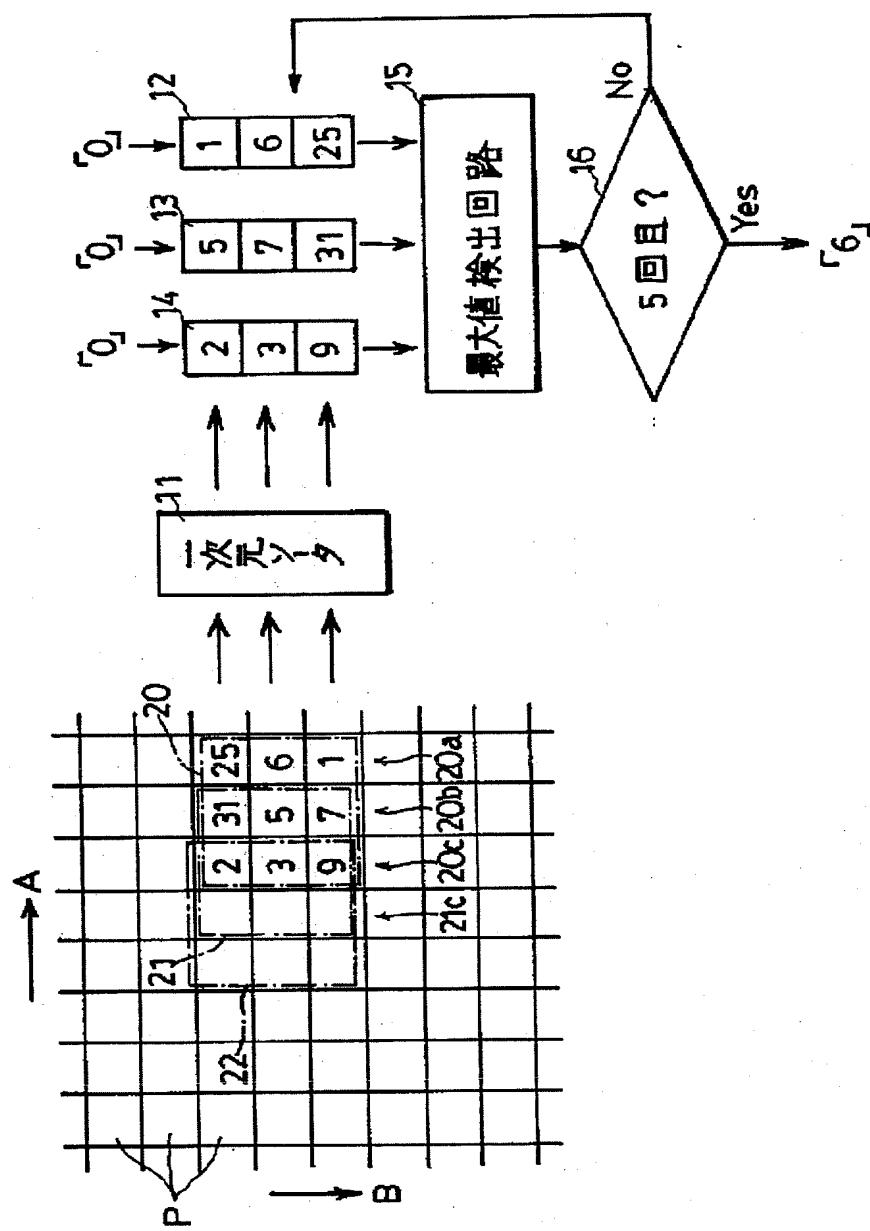
12, 13, 14 ラッチ回路

15 最大値検出回路

16 カウンタ

【図2】**【図3】**

【図1】

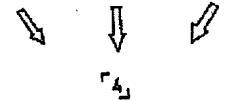
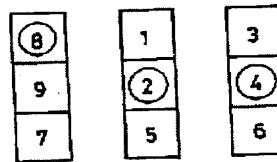


【図4】

(a)

8	1	3
9	2	4
7	5	6

(b)



「4」